

И.А. Морозов
(ФГУП «НИИ «Квант», г. Москва)

РЕАЛИЗАЦИЯ КОМПЛЕКТА РАЗРАБОТЧИКА ПРИЛОЖЕНИЙ РВС НА ПЛИС С ПОДДЕРЖКОЙ ПАКЕТНОГО РЕЖИМА

Одним из наиболее важных компонентов реконфигурируемых вычислительных систем (РВС) на базе программируемых логических интегральных схем (ПЛИС) является комплект разработчика приложений, так как он определяет пути возможного использования РВС, архитектуру программно-аппаратных приложений, обеспечивает возможность эффективного разделения труда при их создании, эффективность их работы.

Во ФГУП «НИИ «Квант» разработан комплект разработчика приложений, состоящий из программной и аппаратной составляющих. Данный комплект предназначен для высокоуровневой работы с РВС на базе ПЛИС компании Xilinx, подключенных по шине PCI Express к серверу обработки под управлением ОС RedHat Enterprise Linux. При этом к каждому серверу подключается множество ПЛИС, содержащих, в свою очередь, множество идентичных вычислительных устройств (ВУ).

Программная составляющая (SDK) включает в себя драйвер, библиотеки управления и конфигурирования, интерфейсные библиотеки, и предназначена для организации взаимодействия с ПЛИС из программ пользователя. В комплекте SDK также поставляется набор утилит командной строки, обеспечивающих управление, прошивку и отображение информации о состоянии ПЛИС.

Аппаратная составляющая включает в себя базовый проект для ПЛИС, позволяющий подключать множество вычислительных устройств, описанных на языках VHDL и Verilog, по шине AXI4. Загрузка-выгрузка данных может происходить с помощью пословного и блочного (в режиме DMA) доступа, дополнительно вычислительные устройства имеют прямой доступ к выделенной ячейке памяти в памяти сервера обработки.

Данный комплект разработчика позволяет работать в двух режимах – ручном и пакетном. В ручном режиме обмен данными с каждым ВУ происходит независимо по уникальному адресу, при этом каждая ПЛИС видна как множество ВУ, задания выдаются по очереди. В пакетном режиме изначально формируется пакет из множества заданий, а затем передаётся арбитру в ПЛИС, который распределяет задания между ВУ автоматически, подкачивая данные из ОЗУ сервера обработки по мере необходимости (используя режим scatter/gather DMA), при этом каждая ПЛИС видна как одно ВУ.